

DDR2/3 PCB

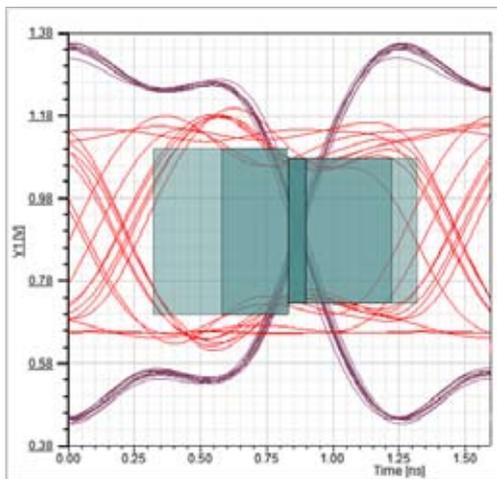
SOLUTION



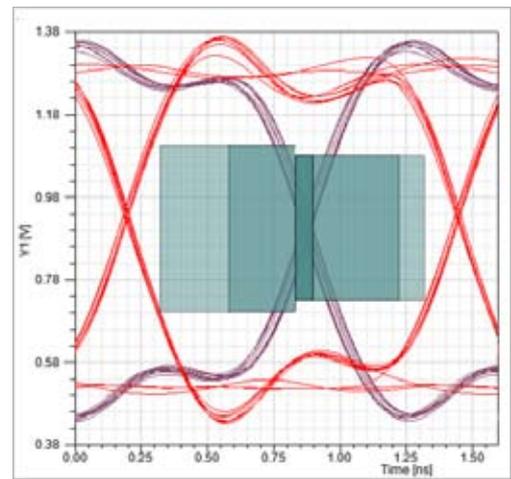
A subsidiary of ANSYS, Inc.

고속의 DDR2/3 메모리, 어떻게 해야 잘 동작할까?

Fail??



Pass!!



Gbps를 넘나드는 DDR2/3 메모리는 전자엔지니어들에게 새로운 도전을 요구하고 있습니다. 기존의 PCB 설계방법으로는 속도를 올리는데 한계점이 존재하며, 무언가 한 차원 높은 설계 방법을 도입해야 한다는 것을 느끼기 시작합니다.

이러한 DDR2/3 메모리를 고속으로 동작시키려면 기존의 디지털 설계와는 다른 고주파 PCB 설계 기술이 필요하며, 그와 더불어 PCB pattern의 SI 분석을 통한 정교한 신호품질 개선과정이 수반되어야 합니다.

1-1. DDR2 High Speed Memory

Dual Data Rate (DDR)라는 신기술로 메모리 시장을 주도했던 DDR 메모리는 최대 400Mbps 속도의 빠른 메모리 동작환경 시대를 열었습니다. 이러한 DDR 메모리는 보다 고속의 환경에 적합하도록 DDR2로 업그레이드 되었으며, 속도에 따라 DDR2 (~800Mbps), DDR3 (~1.6Gbps), DDR4 (~4Gbps)와 같이 구분되고 있습니다.

	동작속도 (bps)
DDR2	400M, 533M, 667M, 800M
DDR3	800M, 1066M, 1333M, 1.6G
DDR4	~ 4G

DDR2는 기본적으로 DDR3/4와 같은 구조를 갖고 있으며, 동작속도만 빠른 형태입니다. 고로 본 교재에서 지칭하는 DDR2 설계법은 DDR3/DDR4에도 함께 적용되는 내용임을 참고하시기 바랍니다.

DDR2는 과거의 DDR에 비해 고속환경에 적합하도록 약간의 구조변화가 있는데 DDR에서 DDR2로 넘어오면서 생긴 가장 큰 변화라면 데이터 클럭의 0과 1을 판별하는 기준이 되는 Strobe 신호가 Single line에서 Differential line으로 변경되었다는 점입니다.

(이 부분은 DQS 설명 부분에서 자세하게 다룹니다)

DDR2를 사용하기 시작하면서부터, 설계자는 동작 클럭을 선택하는데 있어서 애로사항이 늘어나기 시작하는데 높은 동작속도로 사용하려면 DDR2 메모리의 주변회로 및 데이터 선로의 정확한 설계가 뒷받침되어야 하기 때문입니다. 즉 사용자가 그냥 800MHz로 클럭을 올려서 동작시킨다고 데이터가 잘 전송되는 게 아니라, 설계된 구조에서 마진을 얼마나 가지느냐에 따라 사용할 수 있는 동작속도의 범위가 정해지게 됩니다.

이 때문에 기존의 디지털 전자회로 엔지니어들에게 이렇게 고속동작 시에 발생하는 RF적인 문제들의 해결이 매우 어렵게 느껴지게 됩니다. 반대로, 고속동작/고주파에 익숙한 아날로그 혹은 RF 설계자들에게 이러한 문제점들이 상대적으로 익숙하지만, 디지털적인 기본 설계지식의 부족으로 부적절한 초기 설계가 이루어지는 경우가 발생하게 됩니다.

본 교재는 고속 동작하는 DDR2/3 메모리 설계에 있어서 필요한 기본적인 디지털/전자회로 지식과 고주파 아날로그적 지식을 동시에 설명함으로써, 종합적인 DDR2/3 PCB 설계 교재로서의 역할을 하게 될 것입니다.

1-2. DDR2 PCB 설계의 어려운 점

DDR2/3/4 메모리는 400M~4Gbps에 이르는 빠른 동작속도로 인해 고주파 특성이 강해지게 됩니다. 이는 소위 말하는 RF적인 현상들이 뚜렷해진다는 뜻이고, 통상의 RF에서 800MHz 정도를 기준으로 고주파현상의 정도가 급격히 심해진다는 점에서 봤을 때, DDR2부터는 고주파/고속동작의 개념을 명확히 갖고 설계에 임해야 한다는 뜻이 됩니다.

이렇게 RF현상이 뚜렷해진다는 것은, 아래와 같은 이슈들을 부각시키게 됩니다.

선로간의 간섭이 심해진다. (Coupling Issue)

전원 노이즈에 민감해진다. (Power Integration Issue)

신호 품질의 관리가 힘들어진다. (Signal Integration Issue)

EMI의 방사가 많아지고 복잡해진다. (Spurious Emission Issue)

이러한 DDR2 메모리의 동작 성능은 선로의 PCB pattern에 크게 의존하게 되며, PCB 설계 자체가 하나의 회로설계처럼 다루어져야 합니다. 즉 쉽게 말해서 PCB 패턴과 회로 소자들이 적절하게 설계/배치되지 않으면 고속에서 데이터가 깨지는 문제들에 직면하게 된다는 뜻입니다. 이것은 특히 800Mbps를 넘어서면서 더욱 심각한 문제로 나타나며 과거에 DDR 설계하듯이 DDR2를 설계하다 보면 점점 더 fail이 심해지는 현상에 직면하게 됩니다. 이는 고속동작을 위한 SI/PI 개념에 익숙치 않은 엔지니어들에겐 매우 막연한 해결과제처럼 보이게 되어버리죠. "도대체 뭐가 문제야!?"

이를 해결하기 위해서는 PCB를 구조적으로 분석하고 debugging하는 것이 중요해지며, 단순히 Trace의 형상이나 구조뿐만 아니라 Power/GND Plane 및 주변 선로와의 관계까지 복잡하게 고려해야 하는 상황이 됩니다. 한마디로 PCB artwork을 문자 그대로 "Art"처럼 잘 그려야 한다는 뜻이기도 합니다.

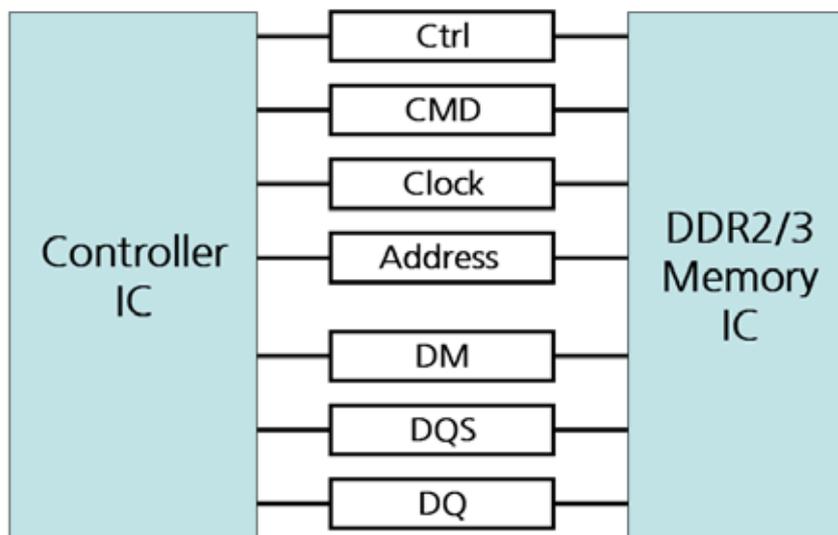
이 때문에 단순한 Routing 개념의 PCB Pattern 설계를 뛰어넘어, 고속의 디지털 신호 품질을 평가할 수 있는 PCB 설계 방법이 필요합니다. 즉 설계된 PCB Pattern에서 고속의 DDR2 신호가 정상적으로 동작할 지를 검증할 수 있는 Simulation 기술이 필요해지게 되는 것이지요. 그와 더불어, DDR2 메모리의 동작원리와 구조를 정확히 이해함으로써, 기본에 충실한 설계를 통해 고속동작에 따른 문제를 최소화시키는 엔지니어의 지혜가 필요합니다.

결론은?

- 고속 동작회로에서 PCB pattern은 하나의 회로처럼 정교하게 설계되어야 한다.

1-3. DDR2의 선로구성

DDR2 메모리의 기본적인 선로 구성은 아래와 같습니다.

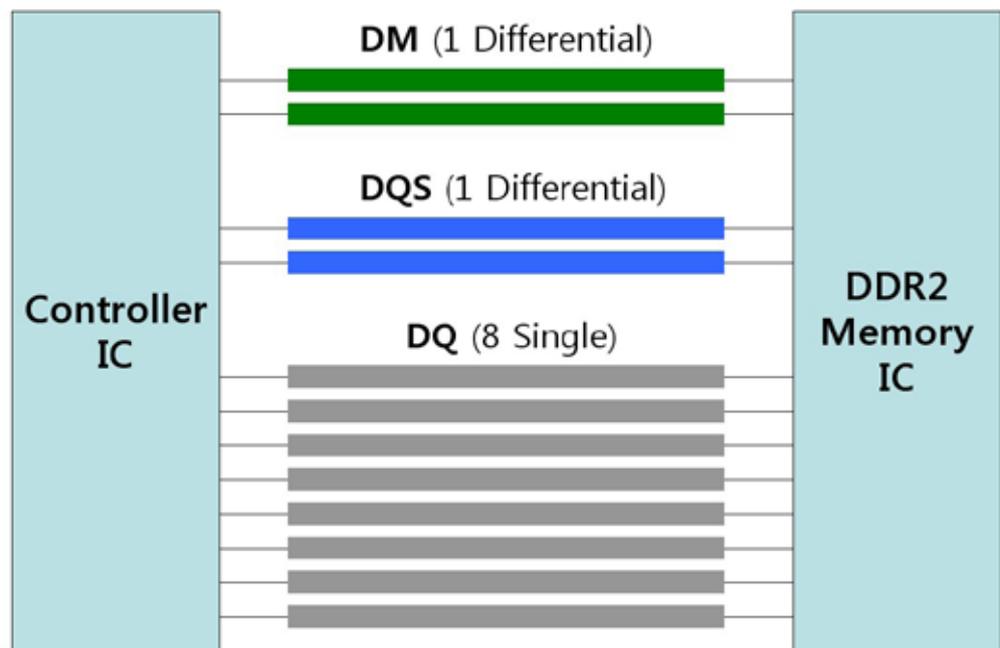


선로명	역할
Ctrl	Control Signal: ODT, Buffer 등의 각종 레지스터를 조절
CMD	command line. RAS, CAS
Clock	동작속도의 기준이 되는 digital clock을 입력
Address	데이터를 읽고 쓰는 주소 정보를 송수신.
DM	Data Mask
DQS	Strobe signal. DQ 신호의 1과 0을 판별하는 기준시점을 잡아줌
DQ	실제로 data가 전송되는 데이터 전송로.

위의 그림은 DDR2 메모리 한 개에 대한 선로 구성으로서, 각 선로 종류별로 설계와 검증방법이 미묘하게 차이가 있습니다. 본 교재에서는 각 선로별로 설계상의 주의사항과 몇 가지 유용한 tip을 소개하게 될 것이며, 후반부에서는 데이터 전송선로의 SI 분석법에 대해 집중적으로 알아보게 될 것입니다.

1-4. 신호분석의 단위, Bytelane

메모리에서 하나의 데이터 묶음 단위를 Bytelane라고 부르는데, 아래와 같이 크게 DM, DQS, DQ 라인들로 구성됩니다.



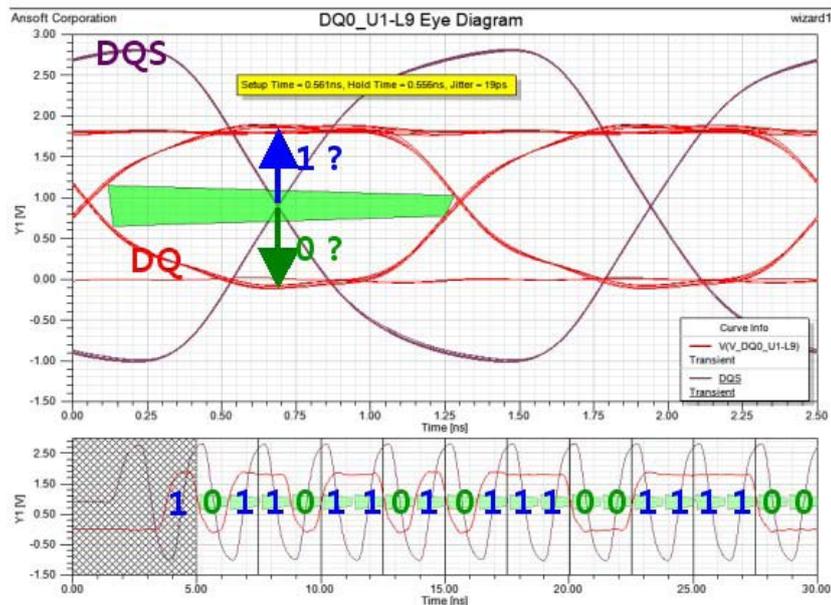
DDR2가 정상 동작할 것인지를 판별하는 최종 결과는 DQ (data)에서 전달되어 수신된 신호파형이 spec을 만족하는가에 달려있습니다. 어차피 메모리 버스의 목표는 1과 0을 판별할 수 있는 최소한의 신호 전달이기 때문이지요.

그래서 실제 신호분석에 필요한 최종파형은 DQ 파형이며 이 DQ 파형이 spec에 만족하는지를 판별해 주는 기준 신호인 DQS의 파형도 필요하게 됩니다. 결과적으로 DM을 제외한 DQ, DQS의 파형을 통해 DDR2의 신호가 제대로 전달되고 있는지를 판별할 수 있게 됩니다.

DQS는 2개의 선로 조합으로 구성되는 differential 구조이며 1 byte를 이루기 위해 DQ는 8개의 개별적인 single bit 선로로 구성됩니다. DQS 선로에 의해 생성된 기준신호는 같은 Bytelane에 묶여 있는 8개의 DQ 신호에 동시에 의 품질 평가 기준이 되므로 결과적으로 DDR2/3에서의 SI 분석은 하나의 Bytelane 단위로 해석하게 됩니다.

1-5. DQS (Strobe) 신호란?

DQ (data) 신호의 성공적인 전송여부를 판단하기 위해서는 DQS 신호가 필요하며, spec을 적용하기 위해서는 DQS에 대한 정확한 이해가 필요합니다.



위의 그림에서 가운데에 빨간색으로 일정한 아이 패턴을 그리는 파형이 DQ 데이터 파형인데 이 DQ를 가로지르는 보라색의 다른 파형, DQS가 있음을 보실 수 있습니다. DQS는 DQ신호와 동일한 주파수에 1/4 주기만큼 위상이 다른 신호로서 DQS 신호가 전압 스윙의 중앙점을 지나는 순간에 DQ 신호의 1과 0을 판별하게 됩니다.

즉 DDR2의 경우에선 파형의 중앙점이 Vref 지점이 되므로, DQS 신호파형이 Vref를 지나는 순간 DQ가 특정 threshold 전압보다 높으면 High, 낮으면 Low로 판정하게 되는 것이지요. 한마디로 모든 DQ bit 판별의 기준신호가 되기 때문에 매우 정확한 동작이 필요한 reference의 역할을 하게 됩니다.

이 때문에 DDR2부터는 고속에서의 기준신호로서의 DQS의 잡음을 최소화하기 위해 differential line으로 DQS를 구성하고 있습니다. 기존의 DDR과의 패턴 호환성을 위해 일부 클럭 (400, 533)의 경우는 Single line 구성도 허용하고 있으나 기본적으로 DQS는 2가닥의 differential line으로 설계되어야 최대한의 설계 마진을 확보할 수 있습니다.

2-1. 선로길이 맞추기: Skew 관리

고속의 디지털 설계에 있어서 동일한 종류의 동기 데이터가 전송되는 병렬 선로들의 길이를 맞추는 것은 매우 중요한 작업이자, 기본적인 설계지식이기도 합니다. 현실적으로 PCB Layout 상에서 DDR2의 DQ 선로와 같은 병렬 선로들은, 아래와 같이 다양한 길이와 모양으로 그려질 수 밖에 없습니다.

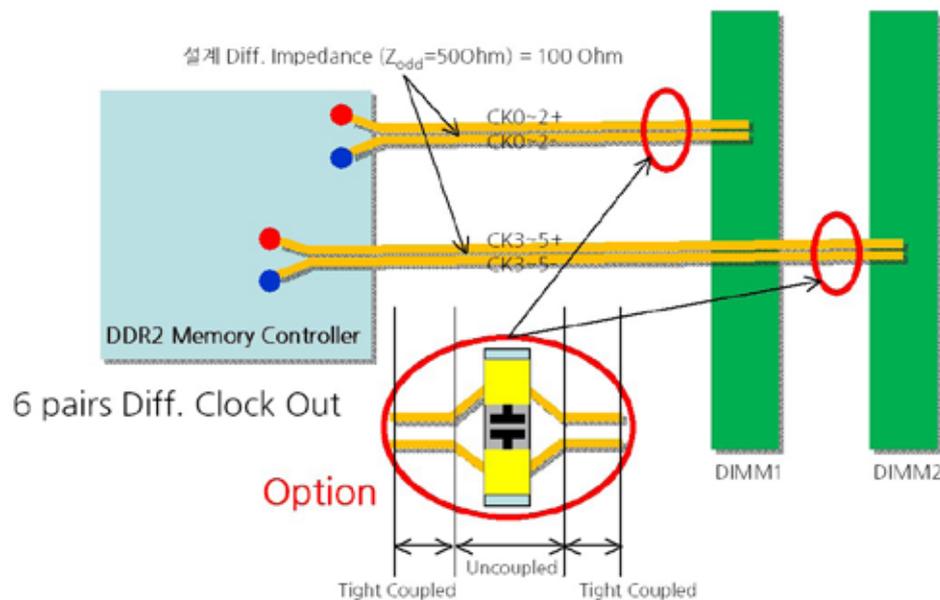


이렇게 다양한 layer로 분산되어 다양한 형상으로 진행되는 병렬 선로들의 전기적 길이, 즉 위상을 동기 시키기 위해서는 여러 가지 방법이 동원됩니다. 가장 먼저 각 PCB Layout CAD에 존재하는 여러 가지 부가 기능을 통하여 위상을 동기 시키는 것이 가능한데, 중요한 것은 "어떻게" 길이를 보정하느냐 라는 문제입니다. 400Mbps 급의 DDR2에서 선로길이가 아주 길지 않다면, 대체로 물리적으로 길이만 맞추어도 어느 정도 정상적으로 동작할 수 있습니다. 그러나 datarate를 올려가기 시작하면 분명히 한계점을 느끼기 시작할 것입니다.

그렇기 때문에 단순히 길이만 계산하는 방법이 아니라, 위상 동기를 위해 선을 꼬아놓은 구조의 특성까지 물리적으로 확인하는 것이 필요해지며, 결국 PCB에 대한 전자기적 구조해석이 필요해집니다. 본 교재에서 설명하는 모든 SI 분석용 PCB 데이터는 이러한 EM 해석에 근간하고 있으며, 제대로 된 high speed digital 분석을 위해서는 반드시 필요한 과정입니다.

그리고 중요한 점은, 아무리 EM 해석에 기반한 SI 분석을 통한 skew 보정이 가장 실제적이라고는 해도, 어쨌든 초기설계 단계에서 DQ 병렬선로의 길이를 최대한 맞추는 것은 DDR2/3 PCB layout에서 가장 기본적인 전제조건이라는 점을 기억해 두시기 바랍니다.

2-3. General Case "2 DIMM": Clock Line 설계



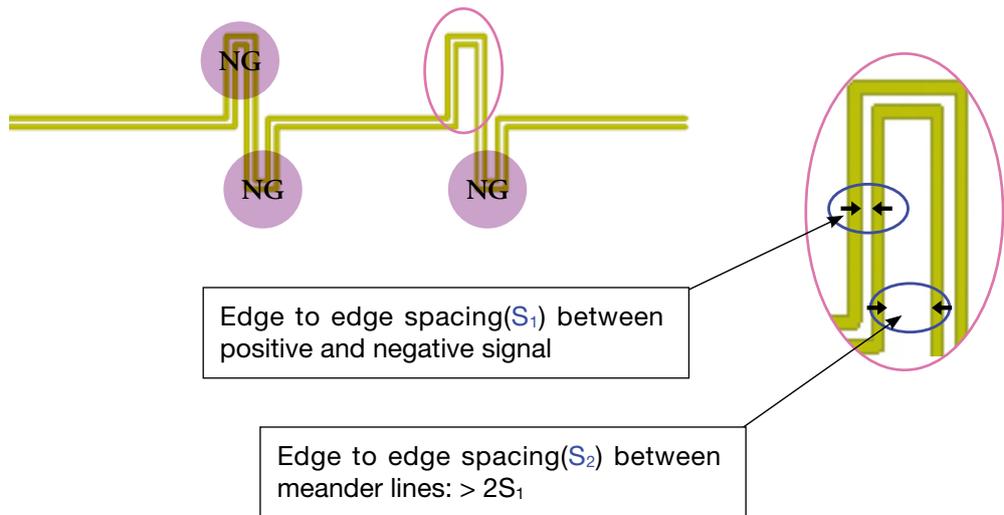
우선, Clock 선로들은 uni-directional differential signaling scheme을 사용하고 있으며, SSTL1.8V logic의 경우, DDR2 SDRAM의 differential Input buffer에서의 logic threshold 값은 0V를 기준으로 $\pm 500\text{mV}$ 를 초과하지 않습니다.

기본 사항

- 일반적인 2개의 DIMM을 사용하는 Hardware Interface에는 Main Board 상에서 DIMM 한 개 당 3개의 differential clock signal이 공급되며, 공급된 clock의 재분배는 DIMM 모듈 내 buffer의 구성에 따라 달라질 수 있습니다. 일반적인 2개의 DIMM을 사용하는 Hardware Interface에는 총 6개의 differential pair가 사용됩니다.
- Clock Trace는 Single Impedance는 60옴, Z_{odd} ($\langle Z_{single}$)는 50Ohm으로 설계하여 100Ohm Differential impedance은 확보합니다. (6층일 경우, Physical Width와 Height에 대한 Physical Dimension은 29페이지의 그림을 참조하시기 바랍니다.)
- Memory Controller의 Application Note에서는 Main Board 상의 Option Cap에 대한 내용들이 기술되어 있는데, 이것은 Pulse Edge의 non-monotonic 현상을 개선할 수 있으므로, 가능하면 Schematic에 반영하도록 합니다. (추후 상세 기술)

선로 간의 간격

- Clock 신호선과 다른 신호선간의 거리는 최소 0.5mm 이상 이격할 것을 권장합니다. 만약 이 거리가 가까워지면, 불필요한 crosstalk로 인해 periodic jitter가 발생할 수 있습니다. Clock 신호는 Address/CMD/Ctrl/DQS의 기준이 되는 신호이므로, 이러한 점에서 보다 주의해야 합니다. 이것은 Data Group (Byte Lane) 신호 중, reference signal인 strobe 신호에 대해서도 동일하게 적용됩니다.
- Reference Length를 확보하기 위해 Differential Signal을 Tuning (Meander Line)하는 경우, Zdiff의 Tolerance가 심해지지 않도록 아래와 같이 멀리 이격합니다.
- Differential 선로를 meander 형태로 꺾을 때는, 간격에 더욱 주의해야 합니다. 아래 그림처럼 꺾인 pair끼리 너무 가까이 붙어있으면 NG (No good, 말 그대로 NG!)라고 할 수 있습니다.



위에서 지적한 NG ($S_1=S_2$) 구간은 Zdiff의 Impedance가 100Ohm으로 형성되지 않으며, Skew로 인한 설계 delay가 다소 변화될 수 있습니다.

이렇게 부득이하게 differential line을 꺾어야 하는 경우는, 다른 signal pair와의 거리 S_2 가 differential line 자체의 간격 S_1 보다 최소 2배 이상이 되도록 설계해야 합니다. 만약 그 이하의 거리로 pair끼리 맞닿으면, 인접 Signal이 Switching할 때 Switching조건에 따라 Zodd, Zeven의 임피던스에 Variation이 발생되고 Velocity 또한 변화되어 위상 차가 더욱 커지게 되어, 결과적으로 common mode noise가 더욱 증가되기 때문입니다.